



Approved for use through 10/31/2002. OMB 0651-0031  
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE  
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

# TRANSMITTAL FORM

(to be used for all correspondence after initial filing)

Applicati n Number

10/605,015

Filing Date

09/01/2003

First Named Inventor

Chih-Chin Chang

Group Art Unit

Examiner Name

Total Number of Pages in This Submission

3

Attorney Docket Number

ADTP0094USA

## ENCLOSURES (check all that apply)



Fee Transmittal Form



Fee Attached



Amendment / Reply



After Final



Affidavits/declaration(s)



Extension of Time Request



Express Abandonment Request



Information Disclosure Statement



Certified Copy of Priority Document(s)



Response to Missing Parts/ Incomplete Application



Response to Missing Parts under 37 CFR 1.52 or 1.53



Assignment Papers (for an Application)



Drawing(s)



Licensing-related Papers



Petition



Petition to Convert to a Provisional Application



Power of Attorney, Revocation Change of Correspondence Address



Terminal Disclaimer



Request for Refund



CD, Number of CD(s) \_\_\_\_\_



After Allowance Communication to Group



Appeal Communication to Board of Appeals and Interferences



Appeal Communication to Group (Appeal Notice, Brief, Reply Brief)



Proprietary Information



Status Letter



Other Enclosure(s) (please identify below):

Remarks

## SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT

Firm  
or  
Individual name

Winston Hsu, Reg. No.: 41,526

Signature

*Winston Hsu*

Date

9/22/2003

## CERTIFICATE OF MAILING

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Washington, DC 20231 on this date:

Typed or printed name

Signature

Date

Burden Hour Statement: This form is estimated to take 0.2 hours to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



Under the Patent Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PTO/SB/17 (01-03)  
Approved for use through 04/30/2003. OMB 0651-0032  
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

# FEE TRANSMITTAL for FY 2003

Effective 01/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$ ) 0.00

## Complete if Known

Application Number	10/605,015
Filing Date	09/01/2003
First Named Inventor	Chih-Chin Chang
Examiner Name	
Art Unit	
Attorney Docket No.	ADTP0094USA

## METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None

☒ Deposit Account:

Deposit Account Number: 50-0801  
Deposit Account Name: North America International Patent Office

The Commissioner is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☒ Credit any overpayments

☒ Charge any additional fee(s) during the pendency of this application

☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

## FEE CALCULATION

### 1. BASIC FILING FEE

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description	Fee Paid
1001 750	2001 375	Utility filing fee	
1002 330	2002 165	Design filing fee	
1003 520	2003 260	Plant filing fee	
1004 750	2004 375	Reissue filing fee	
1005 160	2005 80	Provisional filing fee	

SUBTOTAL (1) (\$ ) 0.00

### 2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

Total Claims	Extra Claims	Fee from below	Fee Paid
Independent Claims	-20** =	X	
Multiple Dependent	-3** =	X	

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description
1202 18	2202 9	Claims in excess of 20
1201 84	2201 42	Independent claims in excess of 3
1203 280	2203 140	Multiple dependent claim, if not paid
1204 84	2204 42	** Reissue independent claims over original patent
1205 18	2205 9	** Reissue claims in excess of 20 and over original patent

SUBTOTAL (2) (\$ ) 0.00

\*\*or number previously paid, if greater; For Reissues, see above

## FEE CALCULATION (continued)

### 3. ADDITIONAL FEES

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description	Fee Paid
1051 130	2051 65	Surcharge - late filing fee or oath	
1052 50	2052 25	Surcharge - late provisional filing fee or cover sheet	
1053 130	1053 130	Non-English specification	
1812 2,520	1812 2,520	For filing a request for <i>ex parte</i> reexamination	
1804 920*	1804 920*	Requesting publication of SIR prior to Examiner action	
1805 1,840*	1805 1,840*	Requesting publication of SIR after Examiner action	
1251 110	2251 55	Extension for reply within first month	
1252 410	2252 205	Extension for reply within second month	
1253 930	2253 465	Extension for reply within third month	
1254 1,450	2254 725	Extension for reply within fourth month	
1255 1,970	2255 985	Extension for reply within fifth month	
1401 320	2401 160	Notice of Appeal	
1402 320	2402 160	Filing a brief in support of an appeal	
1403 280	2403 140	Request for oral hearing	
1451 1,510	1451 1,510	Petition to institute a public use proceeding	
1452 110	2452 55	Petition to revive - unavoidable	
1453 1,300	2453 650	Petition to revive - unintentional	
1501 1,300	2501 650	Utility issue fee (or reissue)	
1502 470	2502 235	Design issue fee	
1503 630	2503 315	Plant issue fee	
1460 130	1460 130	Petitions to the Commissioner	
1807 50	1807 50	Processing fee under 37 CFR 1.17(q)	
1806 180	1806 180	Submission of Information Disclosure Stmt	
8021 40	8021 40	Recording each patent assignment per property (times number of properties)	
1809 750	2809 375	Filing a submission after final rejection (37 CFR 1.129(a))	
1810 750	2810 375	For each additional invention to be examined (37 CFR 1.129(b))	
1801 750	2801 375	Request for Continued Examination (RCE)	
1802 900	1802 900	Request for expedited examination of a design application	

Other fee (specify)

\*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$ ) 0.00

## SUBMITTED BY

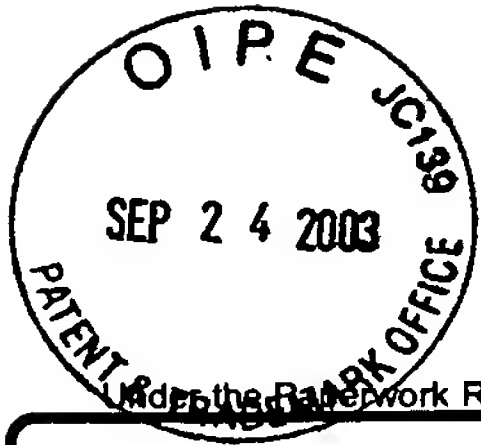
(Complete if applicable)

Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	886289237350
Signature		Date	9/23/2003		

**WARNING:** Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, Washington, DC 20231.

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.



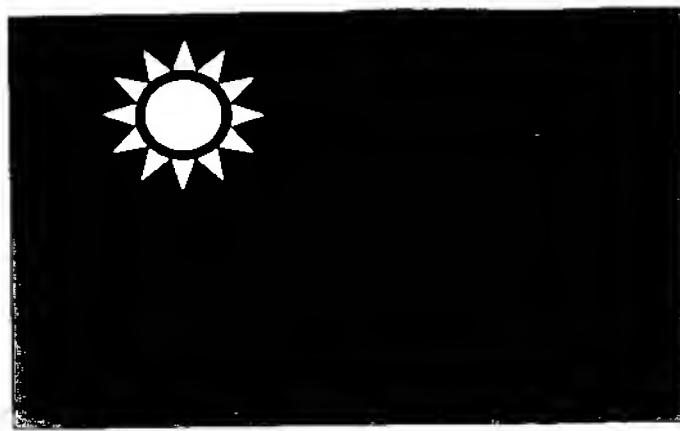
PTO/SB/02B (11-00)  
Approved for use through 10/31/2002. OMB 0651-0032  
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE  
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

## DECLARATION — Supplemental Priority Data Sheet

Additional foreign applications:

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092116888	Taiwan R.O.C	06/20/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder：

申請日：西元 2003 年 06 月 20 日  
Application Date

申請案號：092116888  
Application No.

申請人：友達光電股份有限公司  
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2003 年 7 月 29 日  
Issue Date

發文字號：09220765850  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	電容器結構
	英 文	A CAPACITOR STRUCTURE
二、 發明人 (共2人)	姓 名 (中文)	1. 張志清 2. 葉光兆
	姓 名 (英文)	1. Chang, Chih-Chin 2. Yeh, Kuang-Chao
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 新竹市明湖路一二00巷八十八弄二十八號 2. 桃園縣平鎮市環南路一八三號
	住居所 (英 文)	1. No. 28, Alley 88, Lane 1200, Min-Hu Rd., Hsin-Chu City, Taiwan, R. O. C. 2. No. 183, Huan-Nan Rd., Ping-Cheng City, Tao-Yuan Hsien, Taiwan, R. O. C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 友達光電股份有限公司
	名稱或 姓 名 (英文)	1. AU Optonics Corp.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹市新竹科學工業園區力行二路一號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 1, Li-Hsin Road 2, Science-Based Industrial Park, Hsin- Chu City, Taiwan, R. O. C.
	代表人 (中文)	1. 李焜耀
	代表人 (英文)	1. Lee, Kuen-Yao





四、中文發明摘要 (發明名稱：電容器結構)

一種電容器結構，其包含有：第一導電層、第一絕緣層依序設置於基板之上，第二導電層設置於部份之第一絕緣層之上，第二絕緣層設置於第二導電層、第一絕緣層之上，第三導電層設置於部份之第二絕緣層之上，第三絕緣層設置於第三導電層、第二絕緣層之上，以及第四導電層設置於第三絕緣層之上，第三、第四導電層分別經由至少一與第二導電層相鄰之第一接觸洞、至少一第二接觸洞被電性連接至第一、第二導電層。

(一)、本案代表圖為：第三圖

(二)、本案代表圖之元件代表符號簡單說明

100 薄膜電晶體液晶顯示面板

102 基板

103 像素陣列區域

104 周邊電路區域

105 薄膜電晶體區域

六、英文發明摘要 (發明名稱：A CAPACITOR STRUCTURE)

A capacitor structure includes a first conductive layer and a first insulating layer disposed on a substrate sequentially, a second conductive layer disposed on portions of the first insulating layer, a second insulating layer disposed on the second conductive layer and the first insulating layer, a third conductive layer disposed on portions of the second insulating

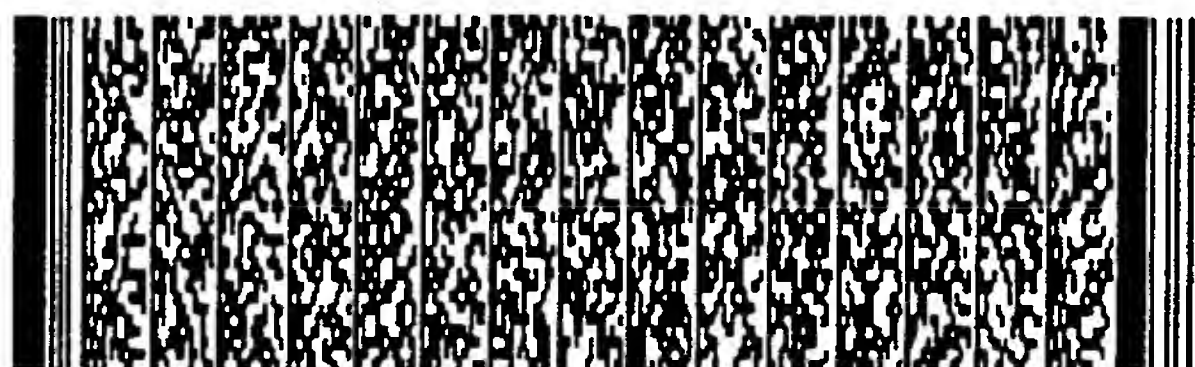


四、中文發明摘要 (發明名稱：電容器結構)

106	電容區域	107	開口區域
108	薄膜電晶體	112	儲存電容
114	閘極	116	第一導電層
118	第一絕緣層	122	第二導電層
124	第二絕緣層	126	第三導電層
128	第三絕緣層	132	第四導電層
134	第一接觸洞	136	第二接觸洞
138	第五導電層	142	有機層
144	汲極		

六、英文發明摘要 (發明名稱：A CAPACITOR STRUCTURE)

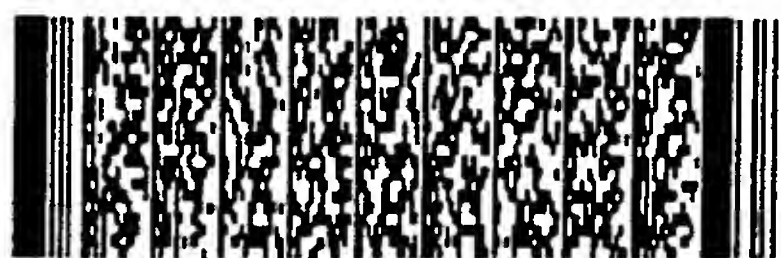
layer, a third insulating layer disposed on the third conductive layer and the second insulating layer, and a fourth conductive layer disposed on the third insulating layer. The third conductive layer and the fourth conductive layer are respectively electrically connected to the first conductive layer and the second conductive layer through at least one first contact hole adjacent



四、中文發明摘要 (發明名稱：電容器結構)

六、英文發明摘要 (發明名稱：A CAPACITOR STRUCTURE)

to the second conductive layer and at least one second contact hole.





一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



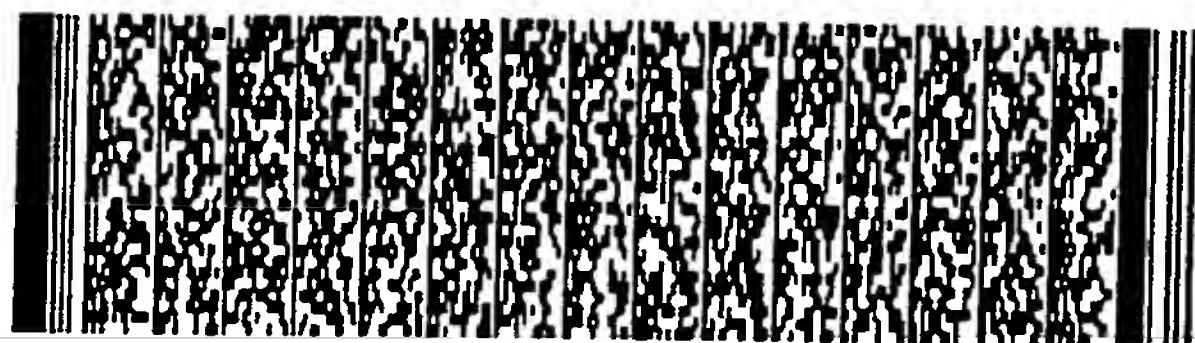
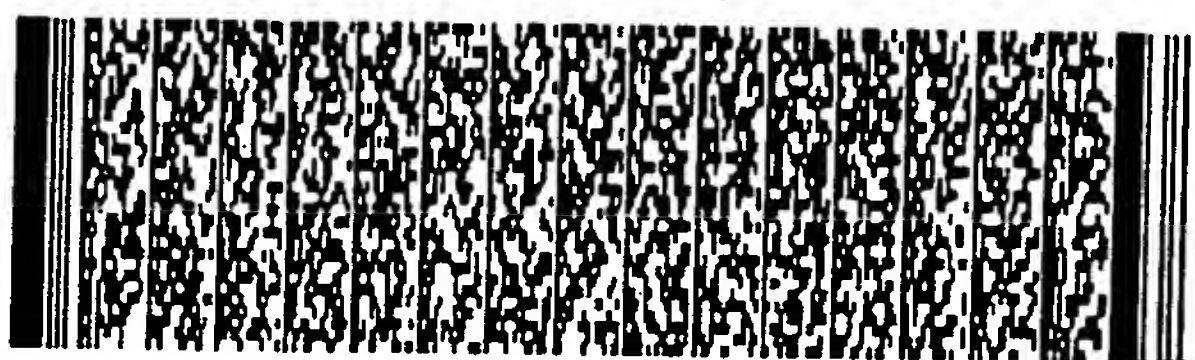
## 五、發明說明 (1)

### 發明所屬之技術領域

本發明係關於一種電容器 (capacitor) 結構，尤指一種應用於薄膜電晶體液晶顯示面板 (thin film transistor liquid crystal display, TFT-LCD) 時可以藉由增加電容值 (capacitance) 以增加開口率 (aperture ratio) 並進而提高顯示面板對比 (contrast) 的電容器結構。

### 先前技術

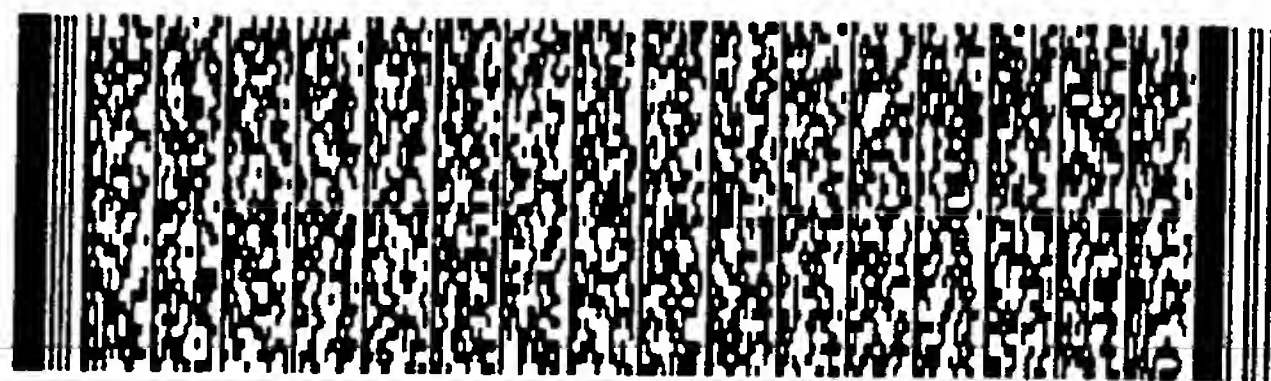
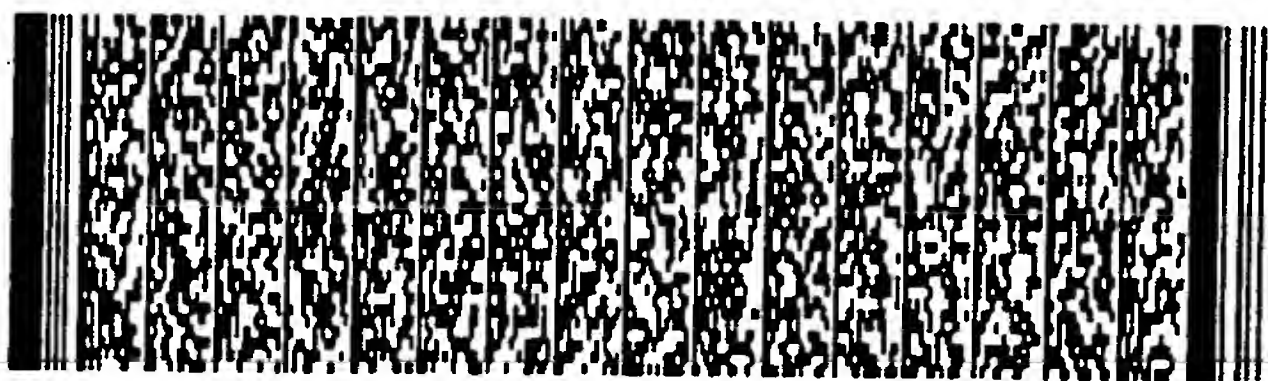
在現今之平面顯示器產品中，液晶顯示面板 (liquid crystal display, LCD) 可謂其中最為熱門的一項技術，舉凡日常生活中常見的手機、數位相機、攝影機、筆記型電腦以至於監視器均是利用此項技術所製造的商品。隨著人們對於顯示器視覺感受要求的提高，加上新技術應用領域不斷的擴展，更高畫質、高解析度、高亮度且具低價位的平面顯示器便成為未來顯示技術發展的趨勢，也造就了新的顯示技術發展的原動力。而平面顯示器中的低溫複晶矽薄膜電晶體液晶顯示面板 (low temperature polysilicon thin film transistor liquid crystal display, LTPS-TFTLCD)，其係為薄膜電晶體液晶顯示面板之一種，除了具有符合主動式驅動 (actively drive) 潮流的特性外，它的技術也正是一個



## 五、發明說明 (2)

可以達到上述目標的重要技術突破。尤其是具有將金屬氧化物半導體以及低溫複晶矽薄膜電晶體整合於同一製程技術的優點，使系統面板 (system on panel, SOP) 的目標得以被實現，因此成為各家廠商所積極研究發展的對象。

所謂的薄膜電晶體液晶顯示面板，即是利用薄膜電晶體 (TFT) 來作為主動陣列 (active matrix) 之驅動開關，以控制對畫素電極 (未顯示) 充電，藉由將畫素中填充於液晶單元 (未顯示) 內之液晶分子 (未顯示) 旋轉至預期的角度，來控制光的穿透度。請參考圖一，圖一為一 TFT-LCD 中一畫素 20 之等效電路示意圖。如圖一所示，一畫素 20 包含有一液晶單元 LC 連接至一共通電極 CE (common counter electrode) 與一薄膜電晶體 (TFT) 22。其中，薄膜電晶體 22 之一閘極 (gate electrode) 24 係連接一掃描線 (scan line)  $G_0$ ，一汲極 (drain electrode) 26 係連接一訊號線 (signal line)  $D_0$ ，一源極 (source electrode) 28 則與液晶單元 LC 之畫素電極 (pixel electrode, 未顯示) 相連接。此外，畫素 20 還包含有一儲存電容 (storage capacitor) SC 電性連接液晶單元 LC 與一掃描線  $G_1$ 。由於電器具有視電壓改變的大小而充電或放電，進而增加或減少電荷的特性，因此儲存電容 SC 除了可以減少漏電流對液晶單元 LC 電壓的影響之外，亦同時協助液晶單元 LC 儲存電荷，以增加畫素開啟作用的時間。



### 五、發明說明 (3)

請參考圖二，圖二為習知技術之一薄膜電晶體液晶顯示面板 30 的結構示意圖。如圖二所示，習知技術之薄膜電晶體液晶顯示面板 30 係包含有一基板 32，基板 32 係為一由透光的材質所構成之絕緣基板，且通常係為一玻璃基板、一石英基板或是一塑膠基板。而基板 32 之表面另包含有一像素陣列區域 (pixel array area) 33 以及一週邊電路區域 34。此外，像素陣列區域 33 之中另包含有一薄膜電晶體區域 35 用以設置一薄膜電晶體 38、一電容區域 36 用以設置一儲存電容 42 以及一開口區域 (aperture region) 37。而薄膜電晶體 38 之閘極 44 係由低溫複晶矽材質所構成，因此薄膜電晶體 38 係為一低溫複晶矽薄膜電晶體。

儲存電容 42 係包含有一第一絕緣層 46 設置於基板 32 之上，一第一金屬層 48 設置於第一絕緣層 46 之上，一第二絕緣層 52 設置於第一金屬層 48 之上，一第二金屬層 54 設置於第二絕緣層 52 之上，一第三絕緣層 56 設置於第二金屬層 54 之上，一有機層 (organic coating layer) 58 設置於第三絕緣層 56 之上，有機層 58 與第三絕緣層 56 之中，含有一接觸洞 (contact hole) 62，且接觸洞 62 暴露出部份之第二金屬層 54，一透明導電層 (transparent conductive layer) 64 設置於有機層 58 之表面，並延伸至接觸洞 62 之內與第二金屬層 54 相接觸。

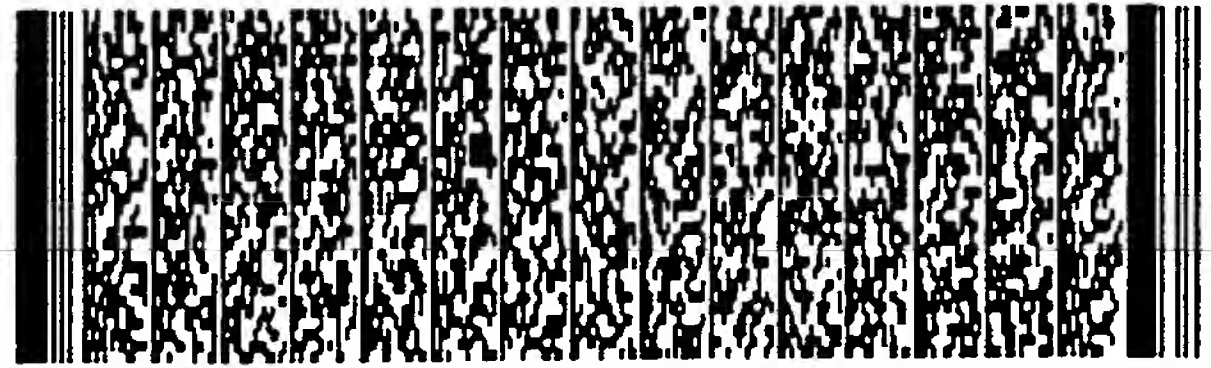
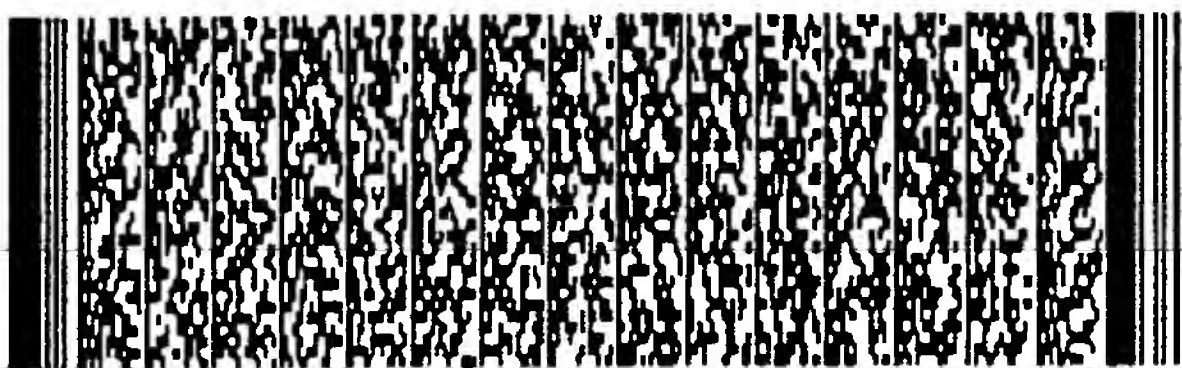




#### 五、發明說明 (4)

第一絕緣層 46 以及第二絕緣層 52 係為一氧化矽層，第一金屬層 48 以及第二金屬層 54 可能為一鎢層或是一鉻層，第三絕緣層 56 係為一氮化矽層，有機層 58 係為一利用旋塗 (spin coating) 方式所形成的有機材料層，而透明導電層 64 係為一氧化銦錫層 (indium tin oxide layer, ITO layer) 或是一氧化銦鋅層 (indium zinc oxide layer, IZO layer)。同時，第一金屬層 48 係用來作為儲存電容 42 之下極板 (bottom electrode plate)，第二金屬層 54 係用來作為儲存電容 42 之上極板 (top electrode plate)，第二絕緣層 52 係用來作為儲存電容 42 之電容介電層 (capacitor dielectric layer)。

然而習知應用於薄膜電晶體液晶顯示面板 30 之電容器，卻具有一項難以突破的限制，即任一電容器的電容值 (capacitance) 係直接反映出其儲存電荷的能力。當電容器的電極板面積愈大時，其電容值也愈大，換句話說，電容器所儲存的電量與電極板面積成正比。而具有大面積電極之電容器雖然能儲存較多的電荷以增加畫素開啟作用的時間，卻會佔用較大的面積，進而減少畫素開口率。如此一來，不僅液晶顯示面板所能達到的最大亮度有限，整體的對比也因而下降，同時基於畫素開口率不足之限制，往往在設計或是生產產品時需要做特殊的處理或考量，最後造成成本提高，使產品不具有競







## 五、發明說明 (6)

層。

由於本發明之電容器結構係利用先前技術中常用之四層導電層來作為四層電極板，以形成三個上下堆疊的電容，進而取代原本由兩層極板所構成的平面式電容。並且此三個電容係為互相並聯，其等效電容之值係等於三個電容的電容值之和，因此本發明之電容器結構只需先前的技術中電容器面積之約三分之一，即可儲存相同的電量。如此一來，不僅畫素的開口率得以被增加，液晶顯示面板所能達到的最大亮度亦相應增加，先前技術中整體對比不足的现象將可以被改善。另外，本發明之電容器中係利用先前技術中既有的四層導電層，應用本發明之電容器結構於低溫複晶矽薄膜電晶體液晶顯示器或是其他產品時，並沒有因為特殊處理或考量而衍生的成本，因此產品非常具有競爭力。

## 實施方式

請參考圖三，圖三為本發明之一薄膜電晶體液晶顯示面板 100 的結構示意圖。如圖三所示，本發明之薄膜電晶體液晶顯示面板 100 包含有一基板 102，基板 102 係為一由透光的材質所構成之絕緣基板，且通常係為一玻璃基板、一石英基板或是一塑膠基板。基板 102 之表面包含有一像素陣列區域 103 以及一週邊電路區域 104，而像素陣

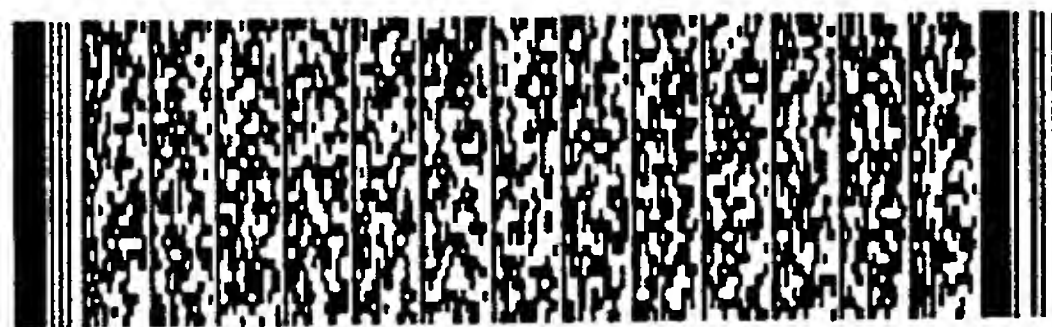
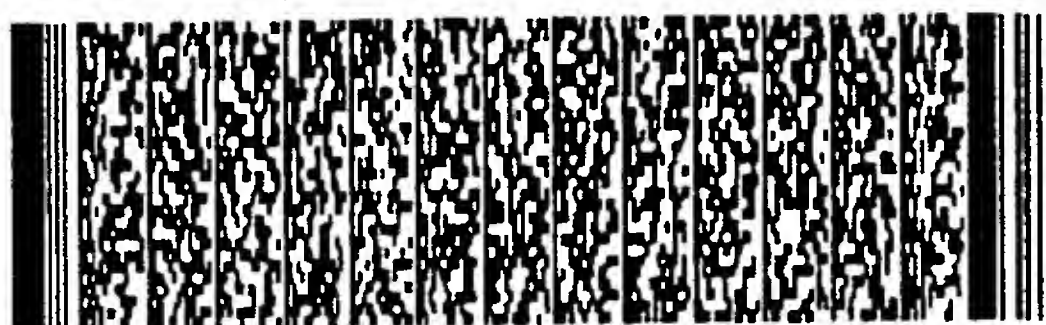


#### 五、發明說明 (7)

列區域 103 之中另包含有一薄膜電晶體區域 105 用以設置一薄膜電晶體 108，一電容區域 106 用以設置一儲存電容 112，以及一開口區域 107。由於薄膜電晶體 108 之閘極 114 係由低溫複晶矽材質所構成，因此薄膜電晶體 107 係為一低溫複晶矽薄膜電晶體。

儲存電容 112 包含有一第一導電層 116 設置於基板 102 之上，一第一絕緣層 118 設置於第一導電層 116 之上，一第二導電層 122 設置於部份之第一絕緣層 118 之上，一第二絕緣層 124 設置於第二導電層 122 以及第一絕緣層 118 之上，一第三導電層 126 設置於部份之第二絕緣層 124 之上，一第三絕緣層 128 設置於第三導電層 126 以及第二絕緣層 124 之上，以及一第四導電層 132 設置於第三絕緣層 128 之上。其中，第三導電層 126 係經由至少一第一接觸洞 134 被電性連接至第一導電層 116，且第一接觸洞 134 係與第二導電層 122 相鄰，同時第四導電層 132 係經由至少一第二接觸洞 136 被電性連接至第二導電層 122。

第一導電層 116、第一絕緣層 118 以及第二導電層 122 係構成一第一電容，第二導電層 122、第二絕緣層 124 以及第三導電層 126 係構成一第二電容，第三導電層 126、第三絕緣層 128 以及第四導電層 132 係構成一第三電容。第一導電層 126 係為一多晶矽層 (polysilicon layer)，第一絕緣層係包含有一氧化矽層 (silicon oxide layer，





#### 五、發明說明 (8)

$\text{SiO}_x$  layer, 其中  $0 < x < 2.0$ ), 一氮化矽層 (silicon nitride layer,  $\text{SiN}_y$  layer, 其中  $0 < y < 1.33$ ) 或是一氮氧化矽層 (silicon oxynitride layer,  $\text{SiO}_x\text{N}_y$  layer, 其中  $0 < x < 2.0$ ,  $0 < y < 1.33$ )。第二導電層 122 以及第三導電層 126 係分別為一金屬層、一合金層或是一金屬多層膜層 (metal multi-layer)。且金屬層係包含有一鎢層、一鉻層 (Cr layer)、一鈦層、一鋁層、一鈮層 (Nb layer) 或是一鉬層 (Mo layer); 合金層係包含有一鈦化鋁層 (AlNd layer); 金屬多層膜層係包含有一鈦鋁鈦層 (Ti/Al/Ti layer)、一鉬鋁鉬層 (Mo/Al/Mo layer) 或是一鉻鋁層 (Cr/Al layer)。

第二絕緣層 124 以及第三絕緣層 128 係分別包含有一氧化矽層、一氮化矽層或是一氮氧化矽層。第四導電層 132 係包含有一氧化銦錫層或是一氧化銦鋅層。第一接觸洞 134 係設置於第一絕緣層 118 以及第二絕緣層 124 之中, 且第一接觸洞 134 暴露出部分之第一導電層 116, 第二接觸洞 136 係設置於第二絕緣層 124 之中, 且第二接觸洞 136 暴露出部分之第二導電層 122。

第三導電層 126 係延伸至第一接觸洞 134 之內, 並與第一導電層 116 相接觸, 以電性連接第一導電層 116 以及第三導電層 126。另外, 基板 102 之上另包含有一第五導電層 138 設置於第二接觸洞 136 之內, 以將第四導電層 132

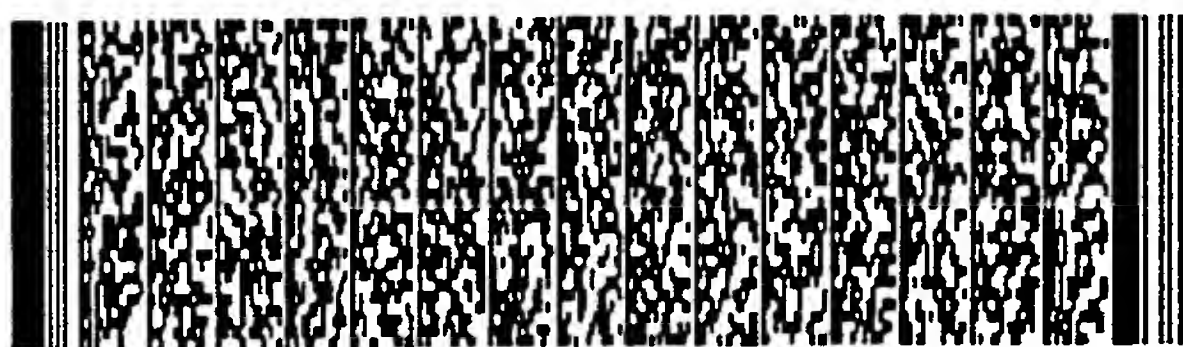


#### 五、發明說明 (9)

電性連接至第二導電層 122。第三導電層 126與第五導電層 138係經由圖案化同一金屬層所形成，且第三導電層 126與第五導電層 138並不相連，因此，第一電容、第二電容與第三電容並沒有所謂短路的問題。

值得一提的是，第四導電層 132係延伸至整個開口區域 107、整個薄膜電晶體區域 105以及整個週邊電路區域 104，並且藉由一設置於基板 102上之有機層 142與基板 102上之其他結構，如薄膜電晶體、金屬層或是導電層電隔絕 (electrically isolated)，且延伸至薄膜電晶體區域 105之第四導電層 132係用來作為液晶單元 (未顯示) 之畫素電極 (pixel electrode，未顯示)。同時，有機層 142係為一利用旋塗 (spin coating) 方式所形成的有機材料層。另外，第五導電層 138係延伸至薄膜電晶體區域 105之內，以將第四導電層 132電性連接至薄膜電晶體 108之一汲極 144。事實上，第五導電層 138係為一訊號線 (signal line，未顯示)，其係與連接至閘極 114之一掃描線 (scan line，未顯示) 一起用來控制薄膜電晶體 108的開啟與關閉，進而控制對畫素電極 (未顯示) 的充電，以將填充於液晶單元 (未顯示) 內之液晶分子 (未顯示) 旋轉至預期的角度。

請參考圖四，圖四為圖三之儲存電容 112之等效電路示意圖。如圖四所示，圖三之儲存電容 112係為圖三中第

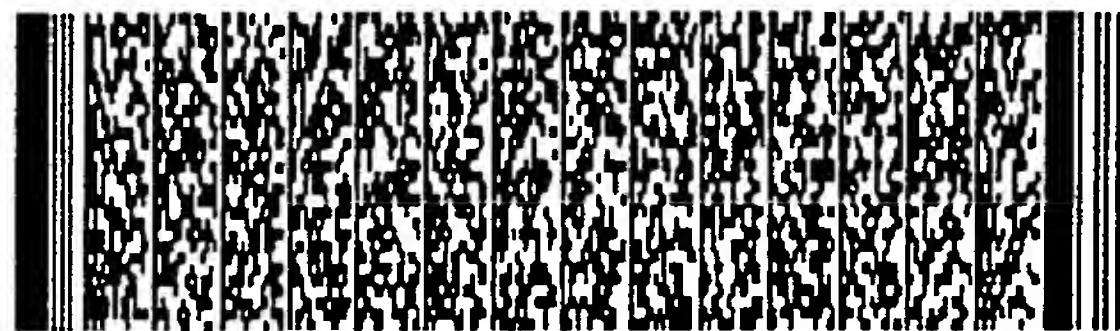
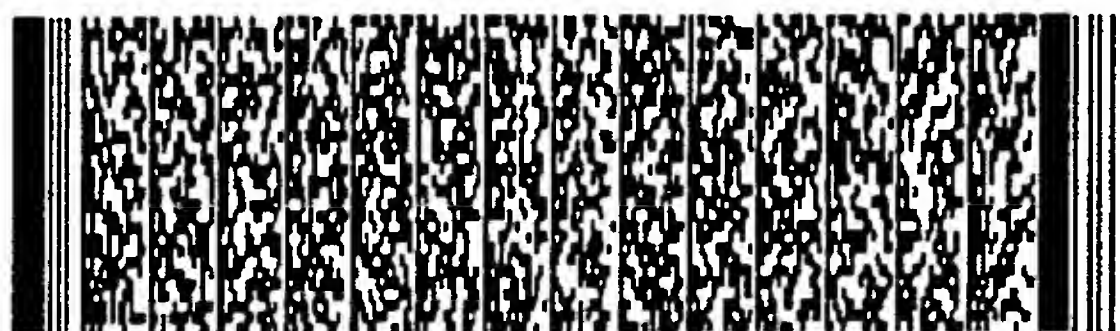




#### 五、發明說明 (10)

一 電容、第二電容以及第三電容並聯之等效電容 (equivalent capacitor)。也就是說，第一電容之上極板 (top electrode plate)、電容介電層 (capacitor dielectric layer) 與下極板 (bottom electrode plate) 係分別為第二導電層 122、第一絕緣層 (未顯示) 與第一導電層 116，第二電容之上極板、電容介電層與下極板係分別為第二導電層 122、第二絕緣層 (未顯示) 與第三導電層 126，而第三電容之上極板、電容介電層與下極板係分別為第四導電層 132、第三絕緣層 (未顯示) 與第三導電層 126。第二導電層 122 與第四導電層 132 係為儲存電容 112 之正電極 (亦可為負電極)，並由第五導電層 138 經第二接觸洞 136 將第二導電層 122 與第四導電層 132 連結在一起；而第一導電層 116 與第三導電層 126 係為儲存電容 112 之負電極 (亦可為正電極)，並由第三導電層 126 經第一接觸洞 134 將第一導電層 116 與第三導電層 126 連結在一起。因此儲存電容 112 之電容值 ( $C_{ST}$ ) 係等於第一電容的電容值 ( $C_1$ )、第二電容的電容值 ( $C_2$ ) 與第三電容的電容值 ( $C_3$ ) 之和。

此外，本發明之電容器並不限於被設置於液晶顯示器之陣列基板 (array substrate) 上之像素陣列區域之內，其亦可以被設置於液晶顯示器之陣列基板上之週邊電路區域之內，只是在前一種情形之下，其係用來作為儲存電容，而在後一種情形之下，其係為因應電路設計

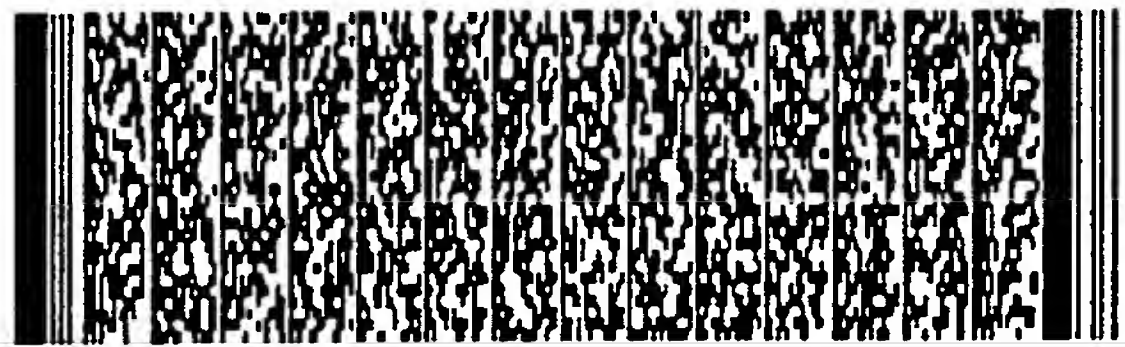
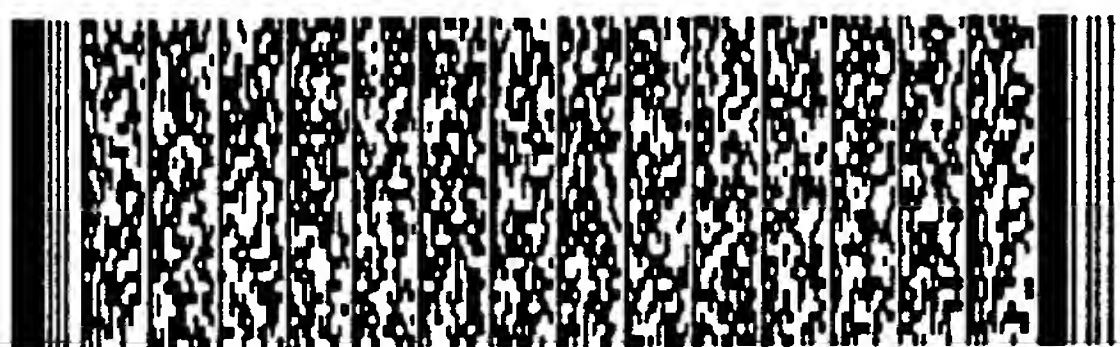


#### 五、發明說明 (11)

需要之其他電容。同時，本發明之電容器並不限於被應用在薄膜電晶體液晶顯示面板，或是本發明實施例中之低溫複晶矽薄膜電晶體液晶顯示面板，事實上，本發明之電容器亦可以被應用於有機發光二極體 (OLED)、場發射顯示器 (FED) 或是其他利用薄膜電晶體來主動驅動的顯示器。

由於本發明之電容器結構，係利用先前技術中之四層導電層作為四層電極板，以形成三個上下堆疊的電容，容來取代原本由兩層極板所構成的平面式電容。在三個電容係為互相並聯的情況，此一來，本發明之電容值係等於三個電容之和，如此一來，本發明之電容值係為原本電容之三倍以上，即顯示技術利用此結構只需先前的電量，不僅大現有的四層導電層或於結構相同所能達到的足有中既有的薄殊處理面中整體對技術中複晶矽為特力。用先前的技術中的四層導電層作為四層電極板，以形成的三個上下堆疊的電容，來取代原本由兩層極板所構成的

相較於習知的電容器結構，本發明之電容器結構係利用先前技術中的四層導電層作為四層電極板，以形成的三個上下堆疊的電容，來取代原本由兩層極板所構成的

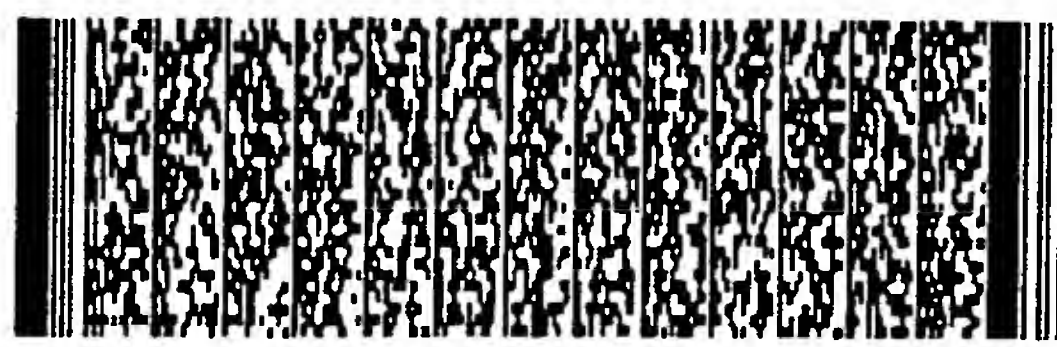


#### 五、發明說明 (12)

平面式電容。由於此三個電容係為互相並聯，其等效電容之電容值係等於三個電容的電容之和，因此，本發明之電容器結構只需先電量。如此一來，不僅畫素亮度亦相一，即可被提高，液晶顯示面板所不足之層，因此製作稍微，並沒有額外結構，應增加，先前技術中既有之四層製程，只需光罩，使本發明電容器結構具有相當之實用性。

以上所述僅為本發明之較佳實施例，凡依本發明專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。

章節結束



## 圖式簡單說明

### 圖式之簡單說明

圖一為一 TFT-LCD 中一畫素之等效電路示意圖。

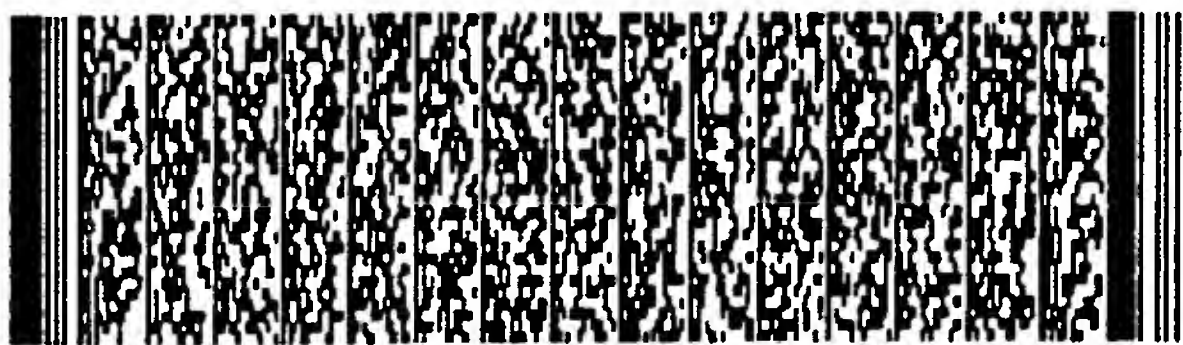
圖二為習知技術之一薄膜電晶體液晶顯示面板的結構示意圖。

圖三為本發明之一薄膜電晶體液晶顯示面板的結構示意圖。

圖四為圖三之儲存電容之等效電路示意圖。

### 圖式之符號說明

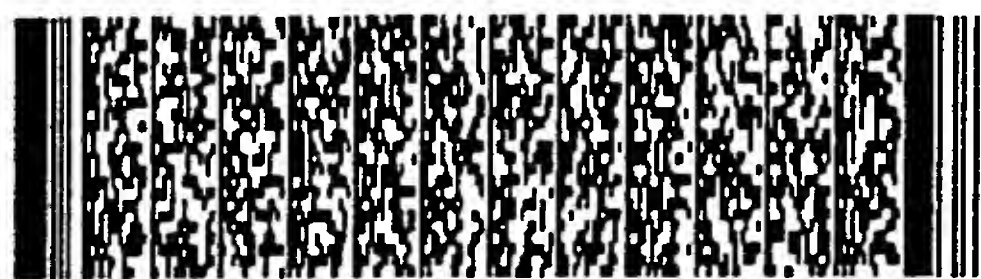
20	畫素	22	薄膜電晶體
24	閘極	26	汲極
28	源極		
30、100	薄膜電晶體液晶顯示面板		
32、102	基板	33、103	像素陣列區域
34、104	周邊電路區域		
35、105	薄膜電晶體區域		
36、106	電容區域		
37、107	開口區域		
38、108	薄膜電晶體		
42、112	儲存電容		
44、114	閘極	46、118	第一絕緣層
48	第一金屬層		





圖式簡單說明

52、124	第 二 絕 緣 層	
54	第 二 金 屬 層	
56、128	第 三 絕 緣 層	
58、142	有 機 層	62 接 觸 洞
64	透 明 導 電 層	
116	第 一 導 電 層	
122	第 二 導 電 層	
126	第 三 導 電 層	
132	第 四 導 電 層	
134	第 一 接 觸 洞	
136	第 二 接 觸 洞	
138	第 五 導 電 層	
144	汲 極	





## 六、申請專利範圍

1. 一種電容器結構，該電容器結構包含有：
  - 一基板；
  - 一第一導電層設置於該基板之上；
  - 一第一絕緣層設置於該第一導電層之上；
  - 一第二導電層設置於部份之該第一絕緣層之上；
  - 一第二絕緣層設置於該第二導電層以及該第一絕緣層之上；
  - 一第三導電層設置於部份該第二絕緣層之上，該第三導電層係經由至少一第一接觸洞被電性連接至該第一導電層，且該第一接觸洞係與該第二導電層相鄰；
  - 一第三絕緣層設置於該第三導電層以及該第二絕緣層之上；以及
  - 一第四導電層設置於該第三絕緣層之上，且該第四導電層係經由至少一第二接觸洞以及一第五導電層連接至該第二導電層。
2. 如申請專利範圍第1項之電容器結構，其中該絕緣基板包含有一玻璃基板、一石英基板或是一塑膠基板。
3. 如申請專利範圍第1項之電容器結構，其中該第一導電層係為一多晶矽層 (polysilicon layer)。
4. 如申請專利範圍第1項之電容器結構，其中該第一絕緣層係包含有一氧化矽層 (silicon oxide layer,  $\text{SiO}_x$ )。



六、申請專利範圍

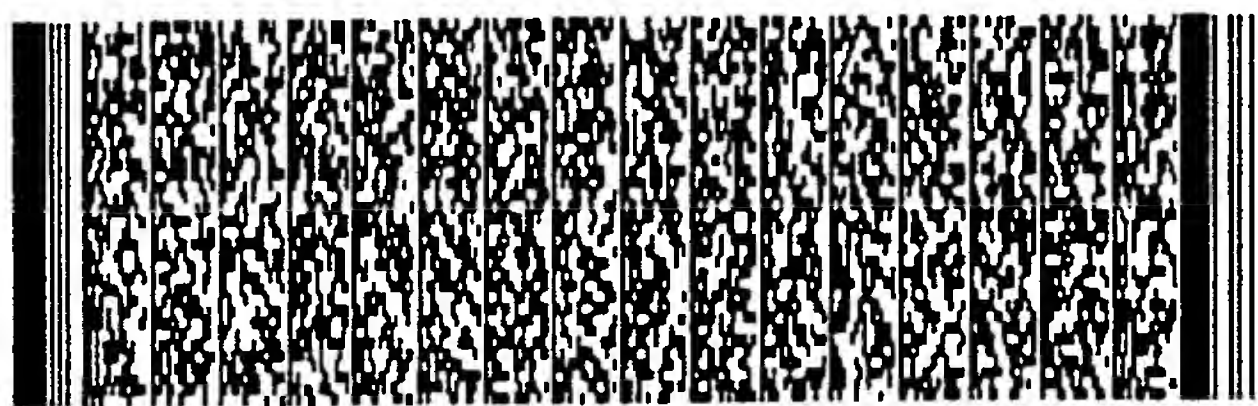
layer, 其中  $0 < x < 2.0$ ), 一氮化矽層 (silicon nitride layer,  $\text{SiN}_y$  layer, 其中  $0 < y < 1.33$ ) 或是一氮氧化矽層 (silicon oxynitride layer,  $\text{SiO}_x\text{N}_y$  layer, 其中  $0 < x < 2.0$ ,  $0 < y < 1.33$ )。

5. 如申請專利範圍第 1 項之電容器結構, 其中該第二導電層以及該第三導電層係分別為一金屬層、一合金層或一金屬多層膜層。

6. 如申請專利範圍第 5 項之電容器結構, 其中該金屬層係包含有一鎢層 (W layer)、一鉻層 (Cr layer)、一鈦層 (Ti layer)、一鋁層 (Al layer)、一鈮層 (Nb layer) 或是一鉬層 (Mo layer); 該合金層係包含有一鈦化鋁層 (AlNd layer); 該金屬多層膜層係包含有一鈦鋁鈦層 (Ti/Al/Ti layer)、一鉬鋁鉬層 (Mo/Al/Mo layer) 或是一鉻鋁層 (Cr/Al layer)。

7. 如申請專利範圍第 1 項之電容器結構, 其中該第五導電層係設置於該第二接觸洞之內, 用以電性連接該第四導電層以及該第二導電層。

8. 如申請專利範圍第 7 項之電容器結構, 其中該第三導電層以及該第五導電層係互不相連 (not connected)。



六、申請專利範圍

9. 如申請專利範圍第7項之電容器結構，其中該基板係為一液晶顯示器 (liquid crystal display, LCD) 之陣列基板 (array substrate)，該基板之表面上係包含有一像素陣列區域 (pixel array area)，且該第四導電層係經由該第五導電層被電性連接至該像素陣列區域內之一薄膜電晶體。

10. 如申請專利範圍第9項之電容器結構，其中該電容器結構係設置於該基板之該像素陣列區域之內，以用來作為一儲存電容 (storage capacitor)。

11. 如申請專利範圍第1項之電容器結構，其中該基板係為一液晶顯示器之陣列基板，該基板之表面上係包含一週邊電路區域 (periphery circuit area)，且該電容器係設置於該基板表面上之該週邊電路區域之內。

12. 如申請專利範圍第1項之電容器結構，其中該第二絕緣層係包含有一氧化矽層 (silicon oxide layer,  $\text{SiO}_x$  layer, 其中  $0 < x < 2.0$ )，一氮化矽層 (silicon nitride layer,  $\text{SiN}_y$  layer, 其中  $0 < y < 1.33$ ) 或是一氮氧化矽層 (silicon oxynitride layer,  $\text{SiO}_x\text{N}_y$  layer, 其中  $0 < x < 2.0$ ,  $0 < y < 1.33$ )。

13. 如申請專利範圍第1項之電容器結構，其中該第一接



#### 六、申請專利範圍

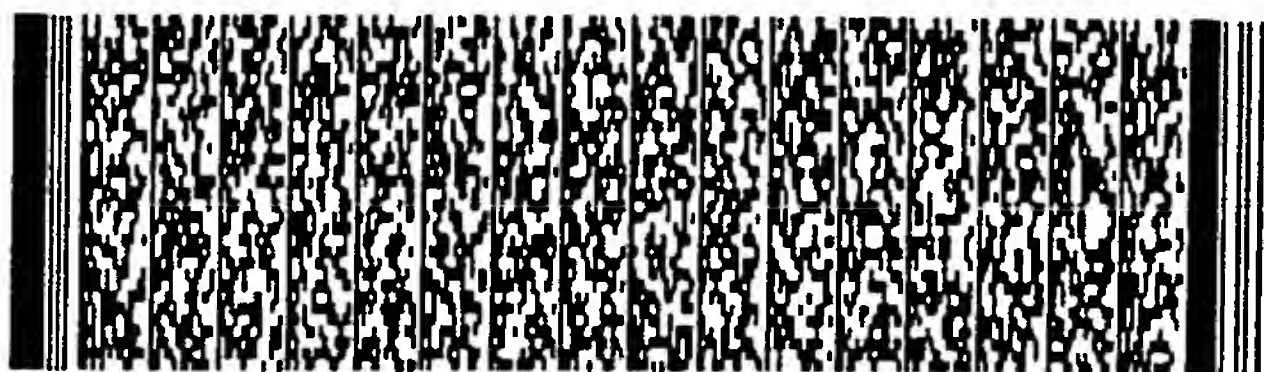
觸洞係設置於該第一絕緣層以及該第二絕緣層之中，且該第一接觸洞暴露出部分之該第一導電層。

14. 如申請專利範圍第1項之電容器結構，其中該第三絕緣層係包含有一氧化矽層 (silicon oxide layer,  $\text{SiO}_x$  layer, 其中  $0 < x < 2.0$ )，一氮化矽層 (silicon nitride layer,  $\text{SiN}_y$  layer, 其中  $0 < y < 1.33$ ) 或是一氮氧化矽層 (silicon oxynitride layer,  $\text{SiO}_x\text{N}_y$  layer, 其中  $0 < x < 2.0$ ,  $0 < y < 1.33$ )。

15. 如申請專利範圍第1項之電容器結構，其中該第四導電層係包含有一氧化銦錫層 (indium tin oxide layer, ITO layer) 或是一氧化銦鋅層 (indium zinc oxide layer, IZO layer)。

16. 如申請專利範圍第1項之電容器結構，其中該第二接觸洞係設置於該第二絕緣層之中，且該第二接觸洞暴露出部分之該第二導電層。

17. 如申請專利範圍第1項之電容器結構，其中該第一導電層、該第一絕緣層以及該第二導電層係構成一第一電容，該第二導電層、該第二絕緣層以及該第三導電層係構成一第二電容，該第三導電層、該第三絕緣層以及該第四導電層係構成一第三電容。



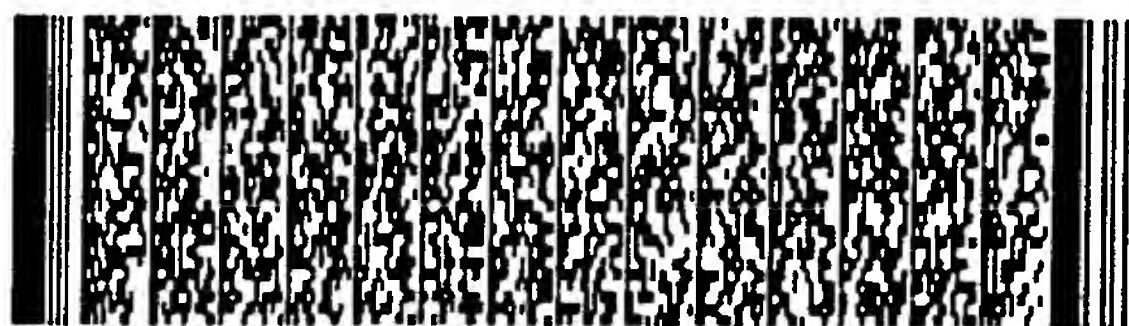


## 六、申請專利範圍

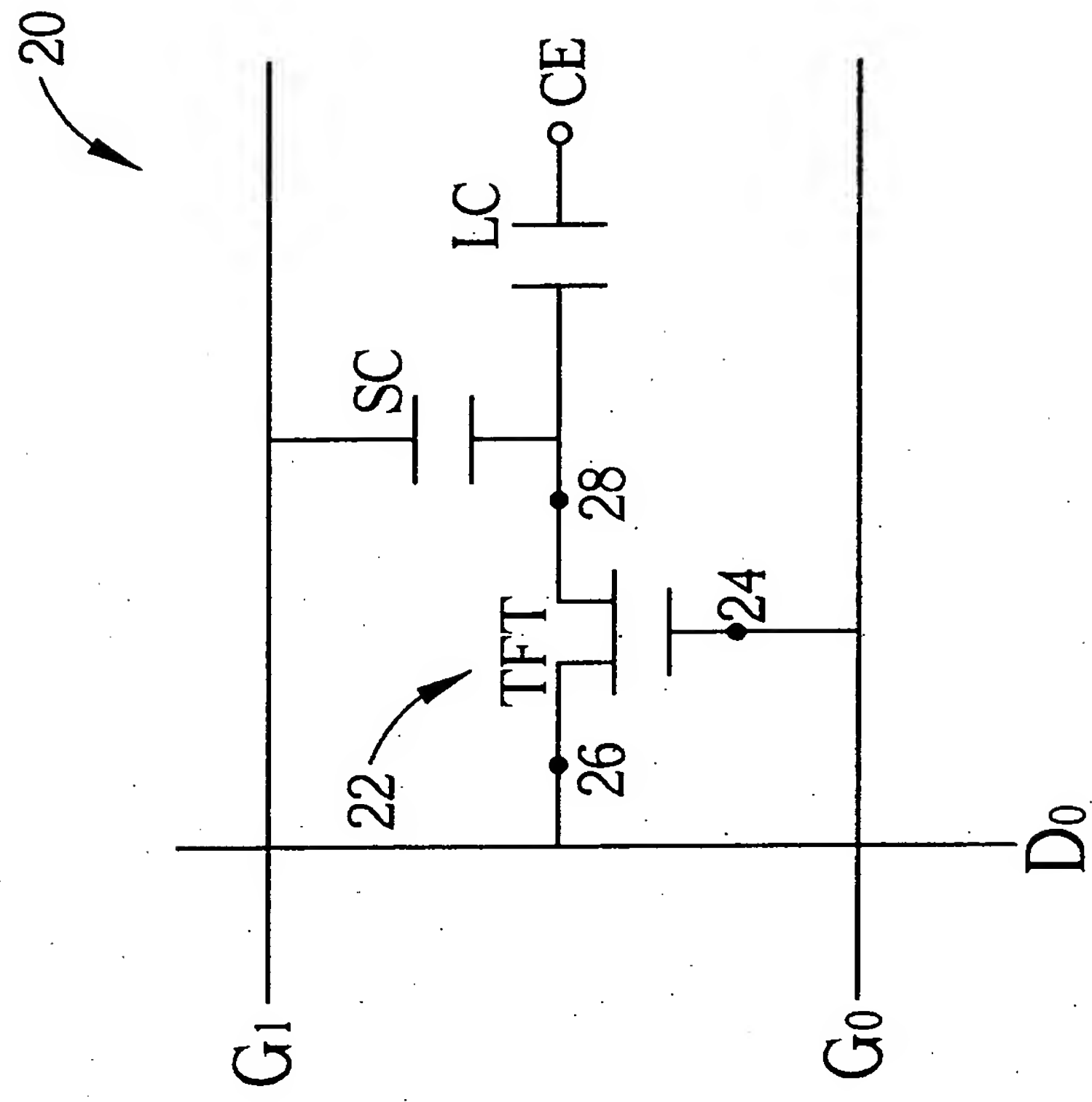
18. 如申請專利範圍第17項之電容器結構，其中該第二導電層與該第四導電層係為該電容器之正電極，並由該第五導電層經該第二接觸洞將該第二導電層與該第四導電層連結在一起；而該第一導電層與該第三導電層係為該電容器之負電極，並由該第三導電層經該第一接觸洞將該第一導電層與該第三導電層連結在一起。

19. 如申請專利範圍第17項之電容器結構，係利用多層導電層作為多層電極板，以形成兩個以上的堆疊電容。

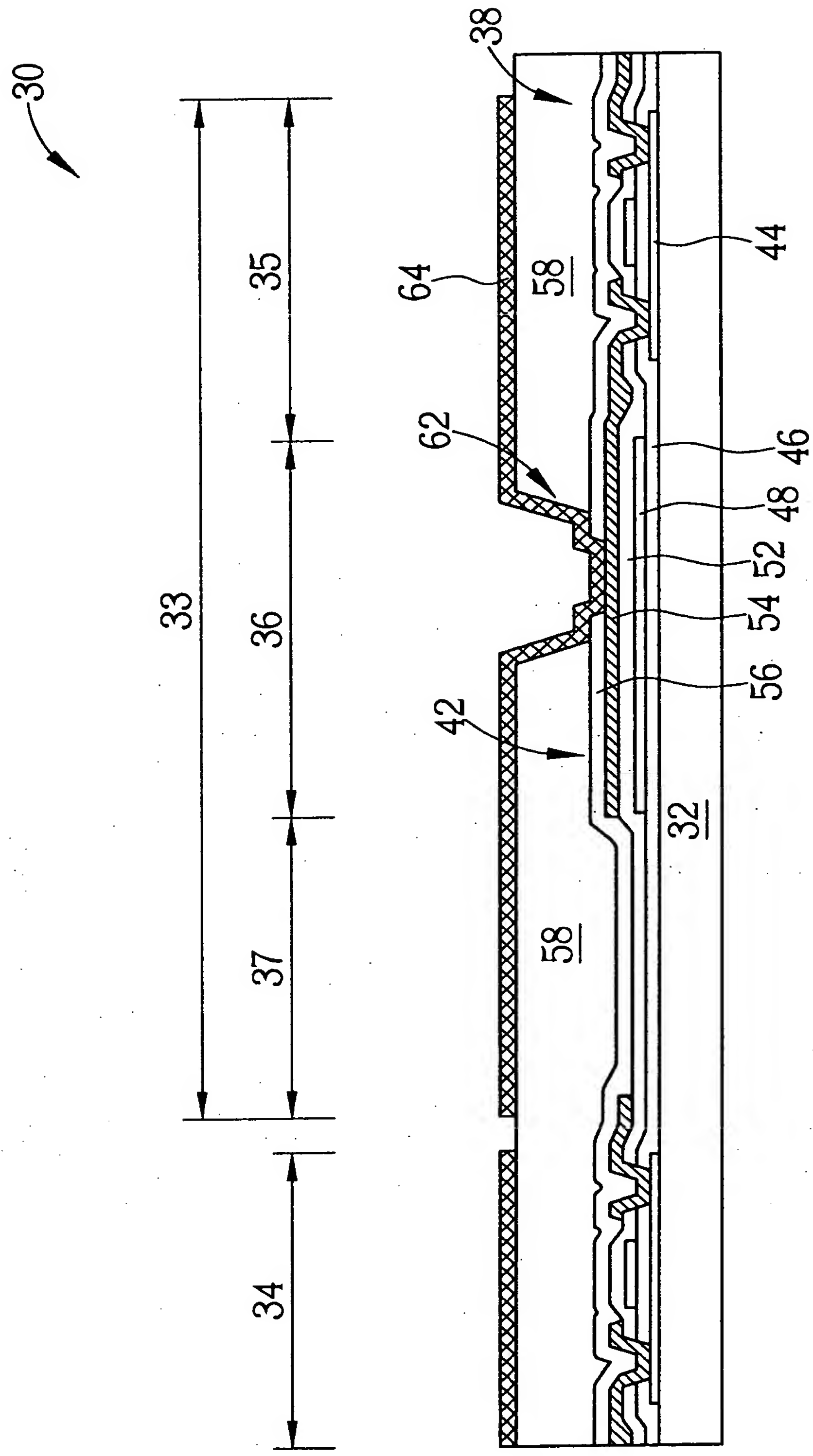
20. 如申請專利範圍第17項之電容器結構，其中該電容器之電容值係等於該第一電容以及該第二電容以及該第三電容並聯之等效電容之電容值。



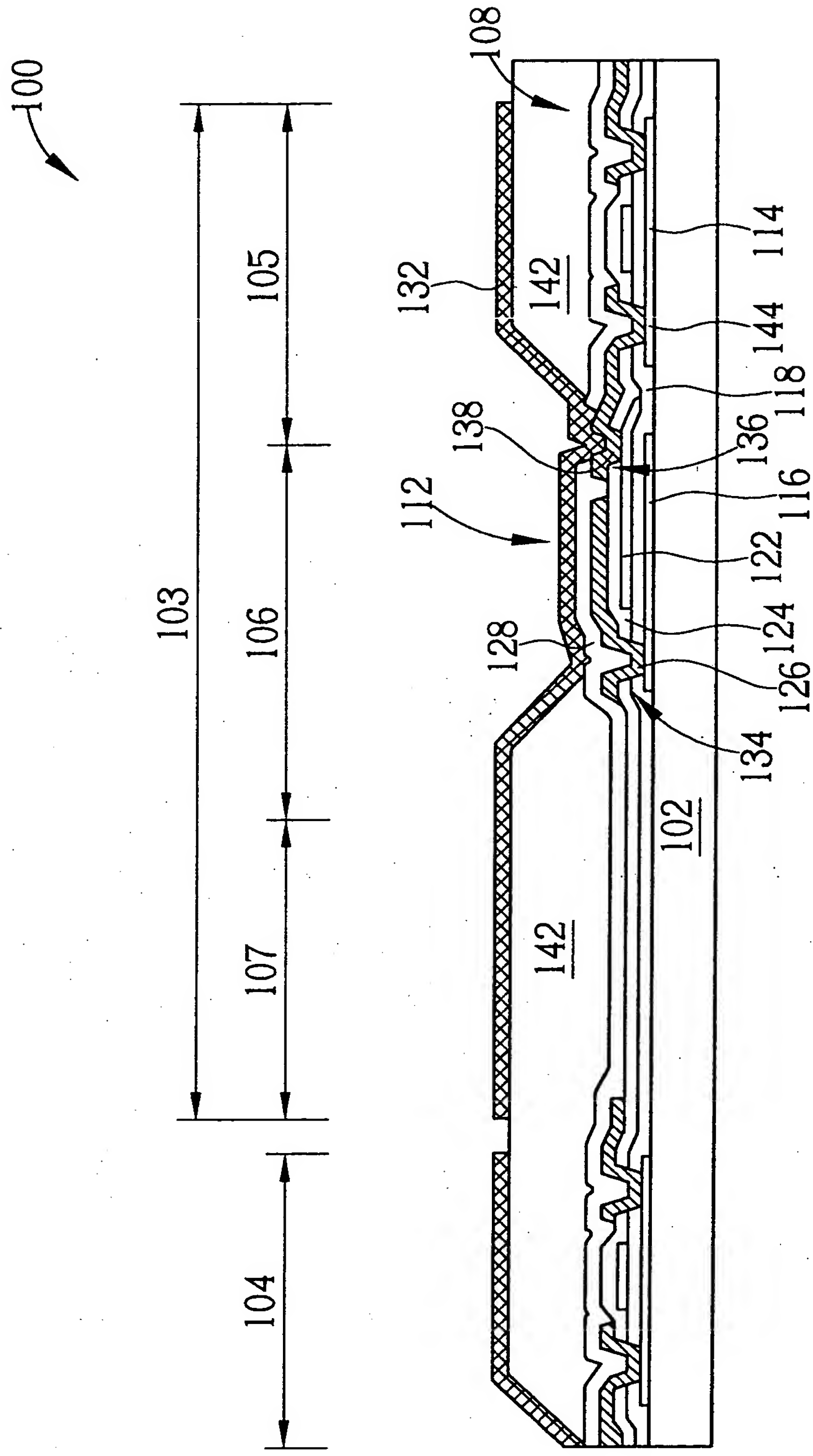




圖一

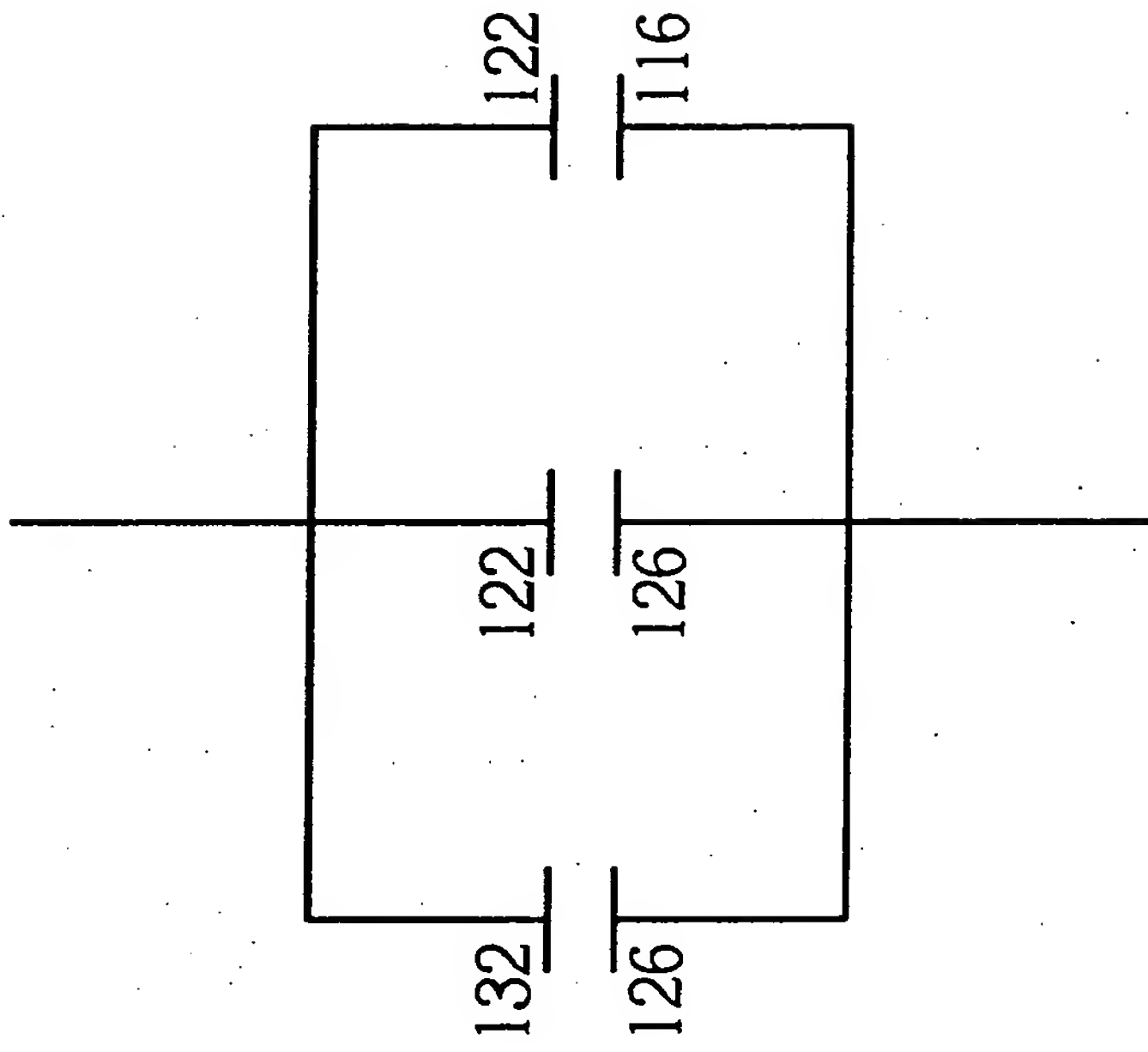


圖二



圖三

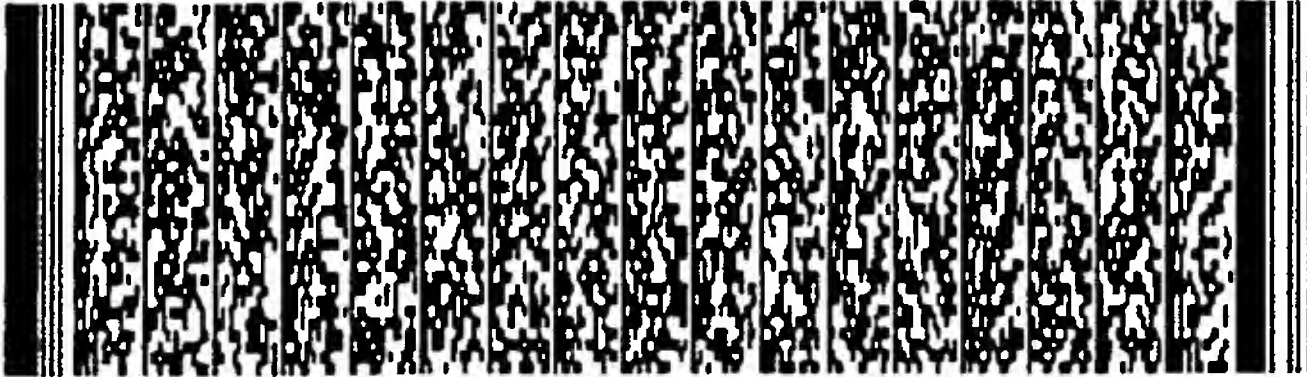
112



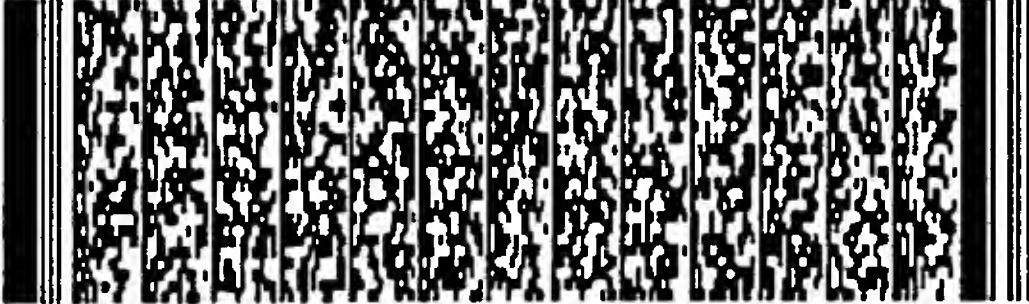
圖四



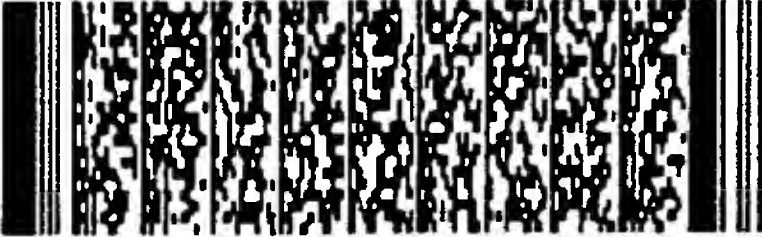
第 1/24 頁



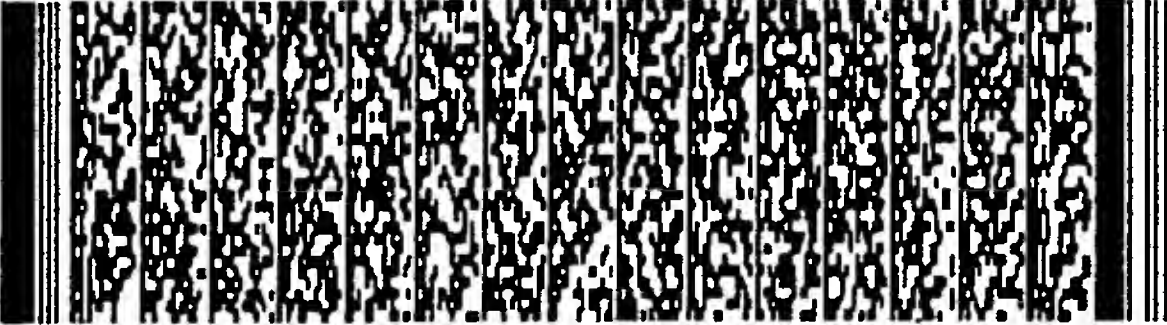
第 2/24 頁



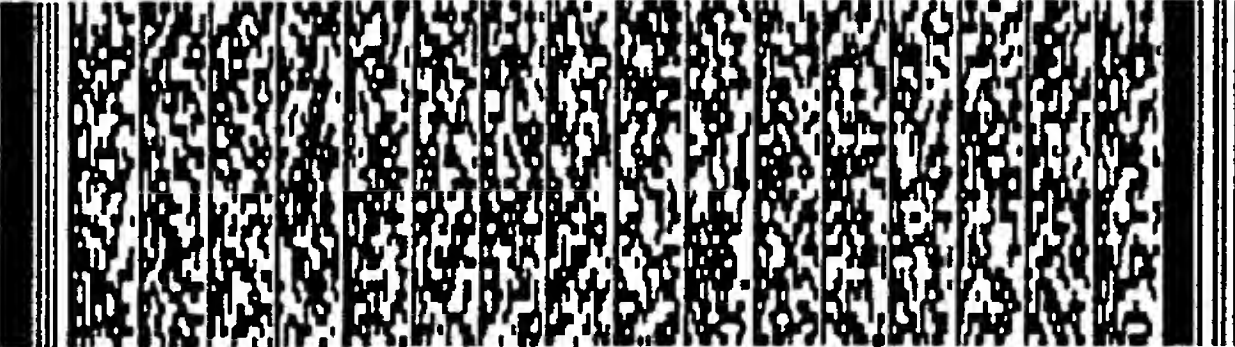
第 4/24 頁



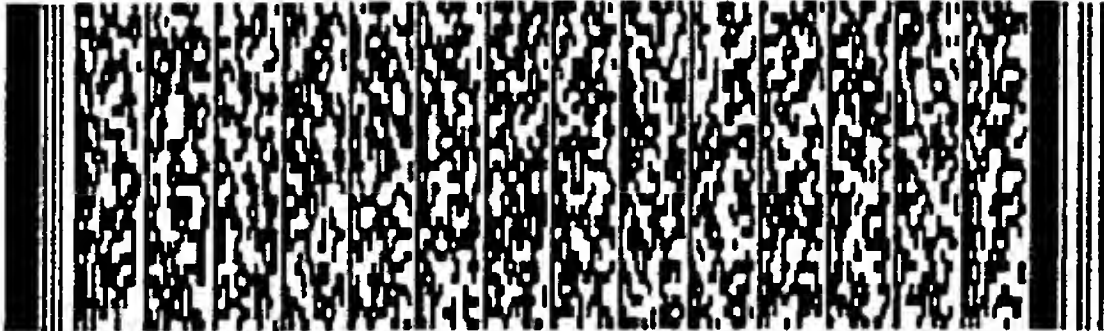
第 6/24 頁



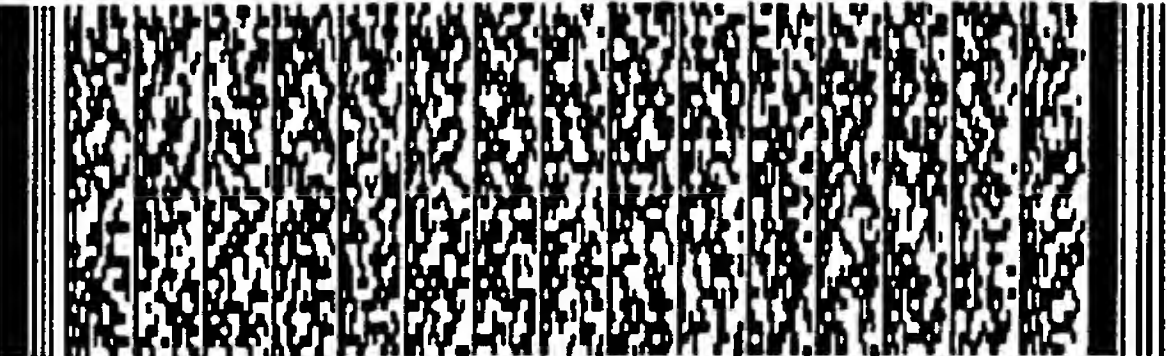
第 7/24 頁



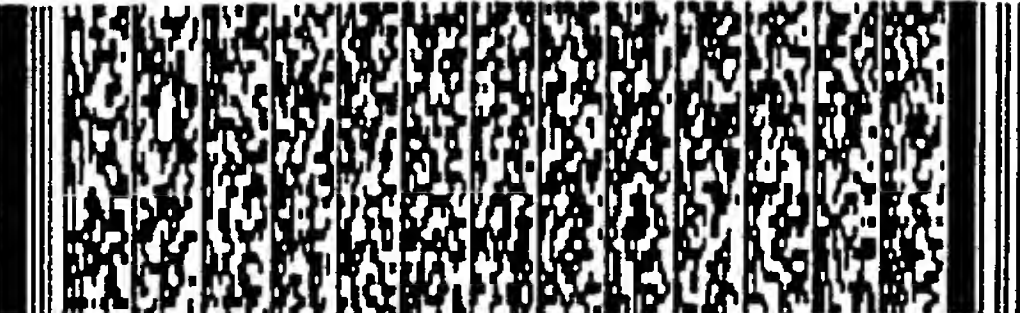
第 8/24 頁



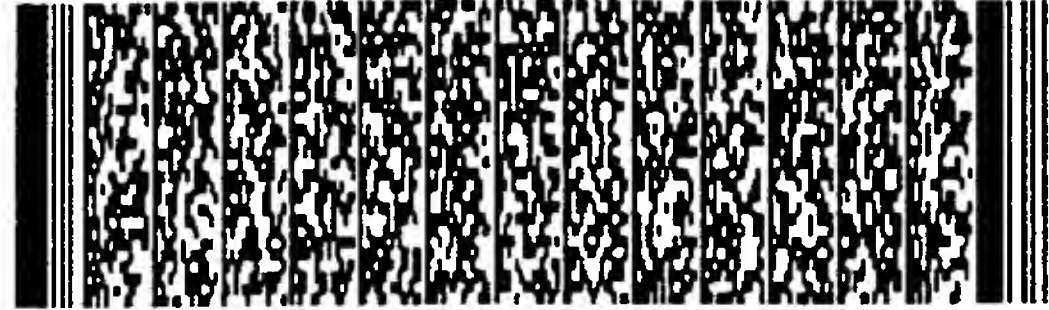
第 9/24 頁



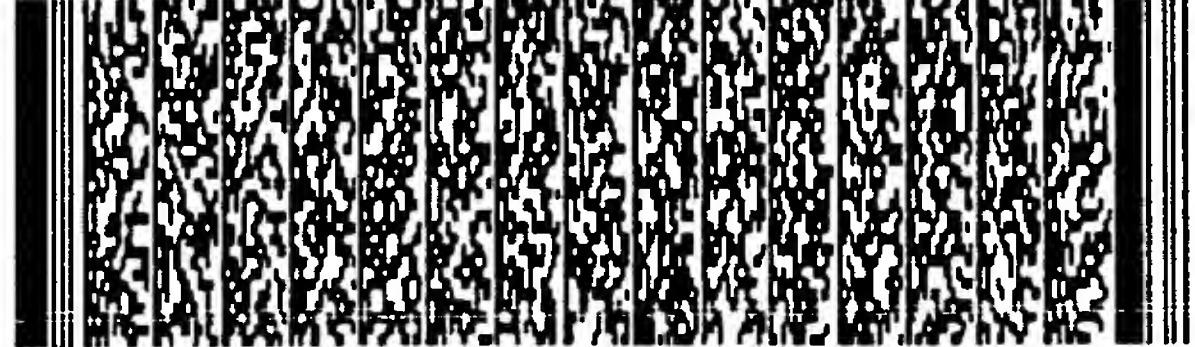
第 10/24 頁



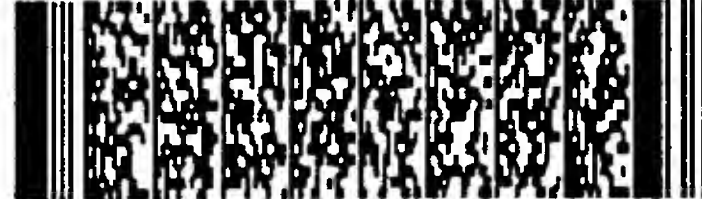
第 2/24 頁



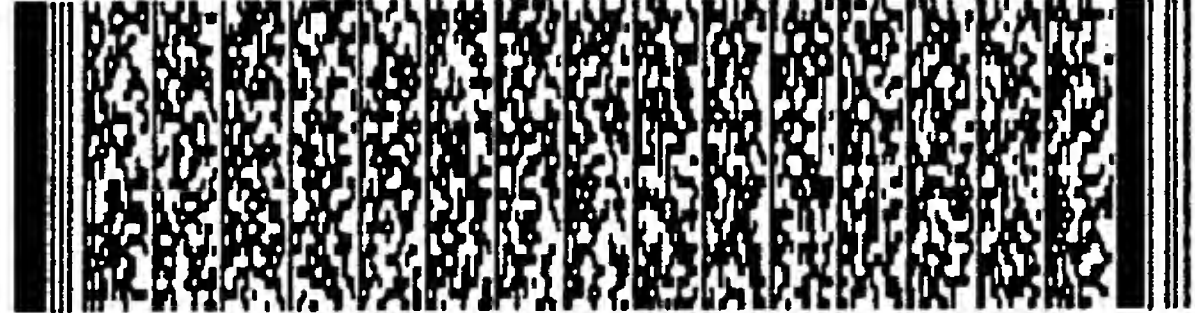
第 3/24 頁



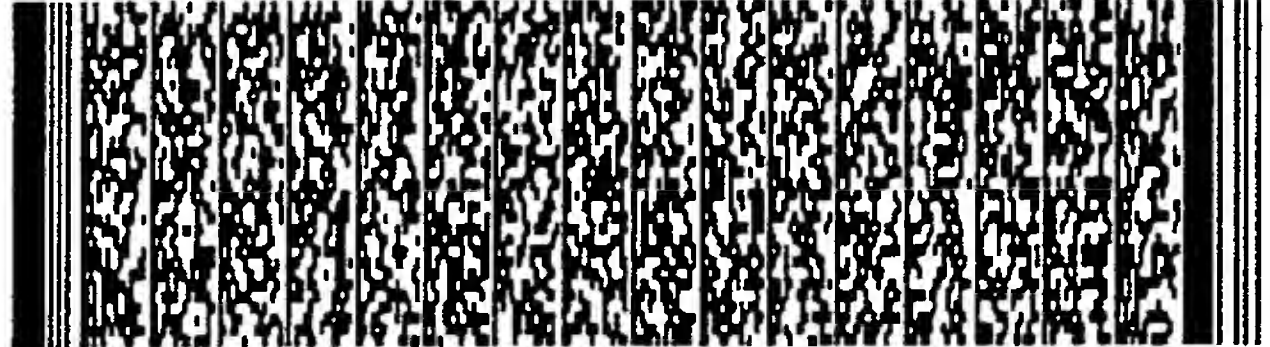
第 5/24 頁



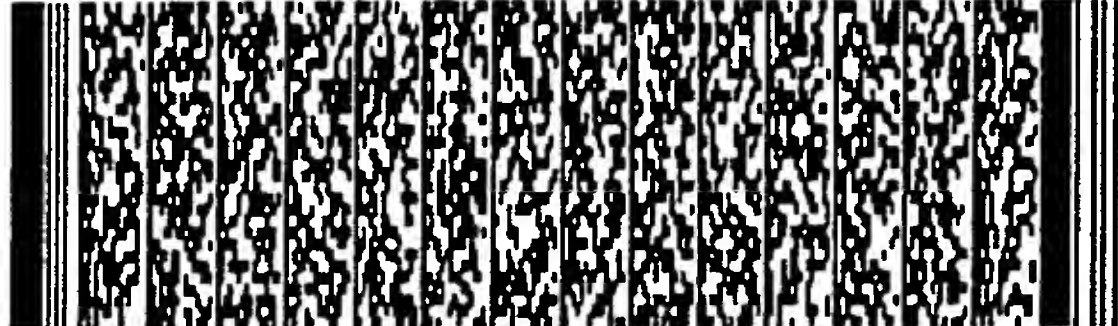
第 6/24 頁



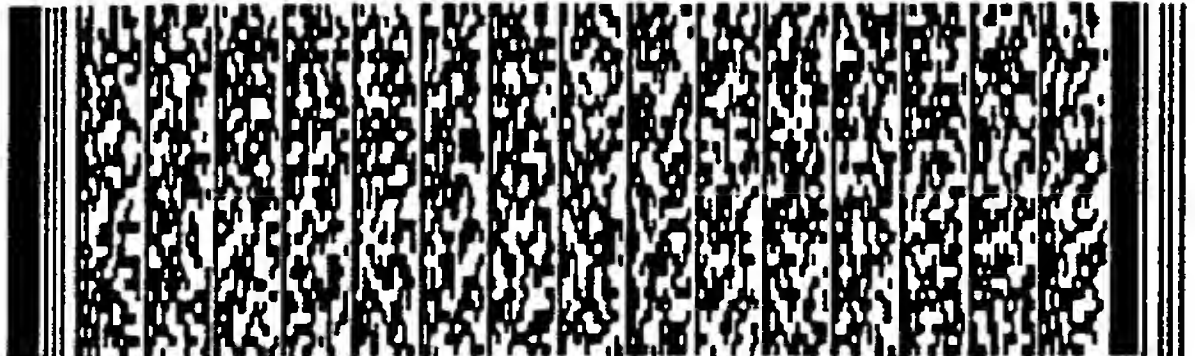
第 7/24 頁



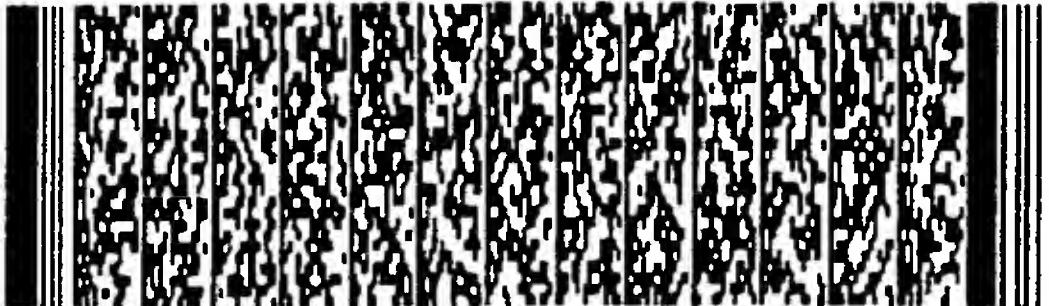
第 8/24 頁



第 9/24 頁



第 10/24 頁

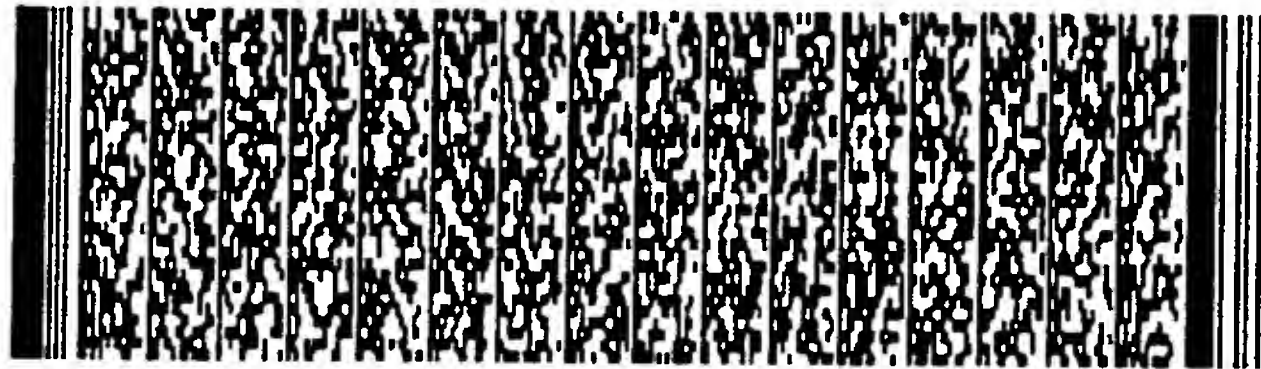




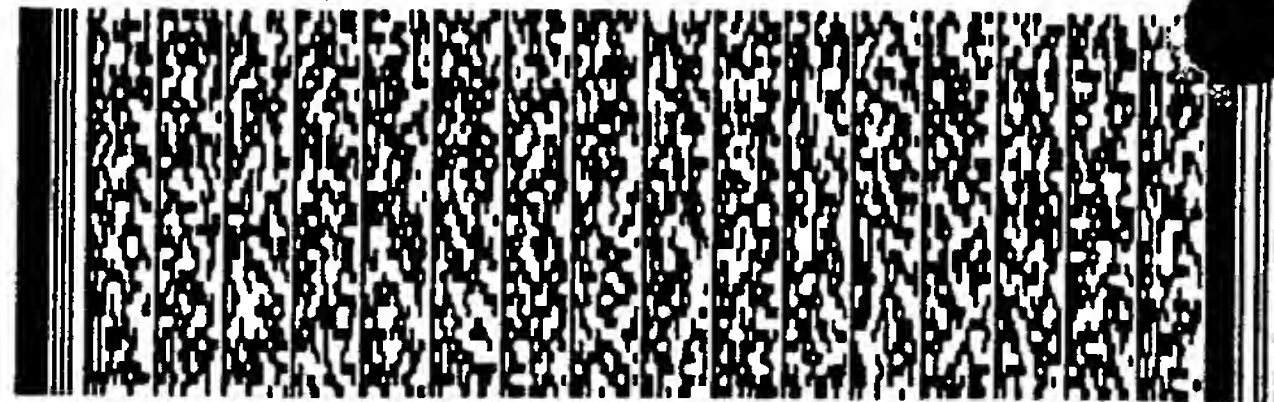




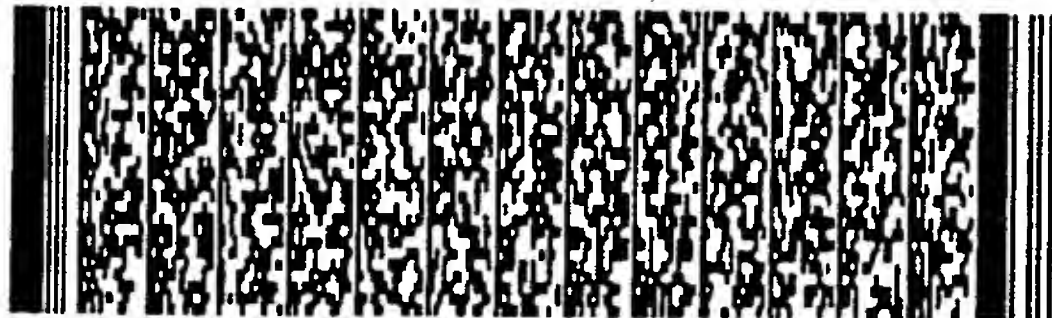
第 20/24 頁



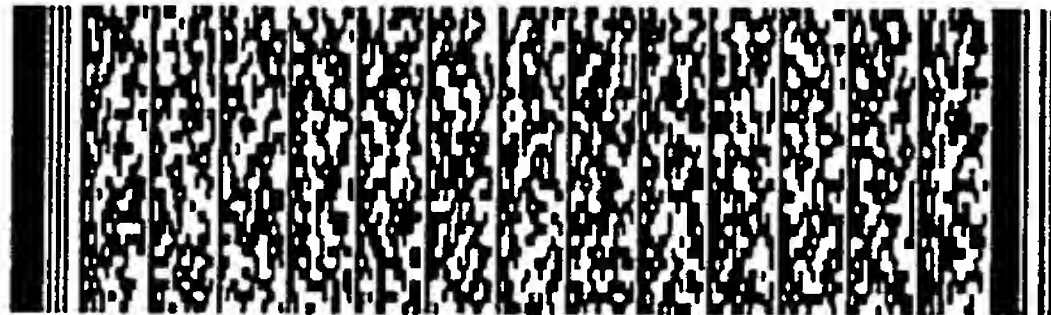
第 21/24 頁



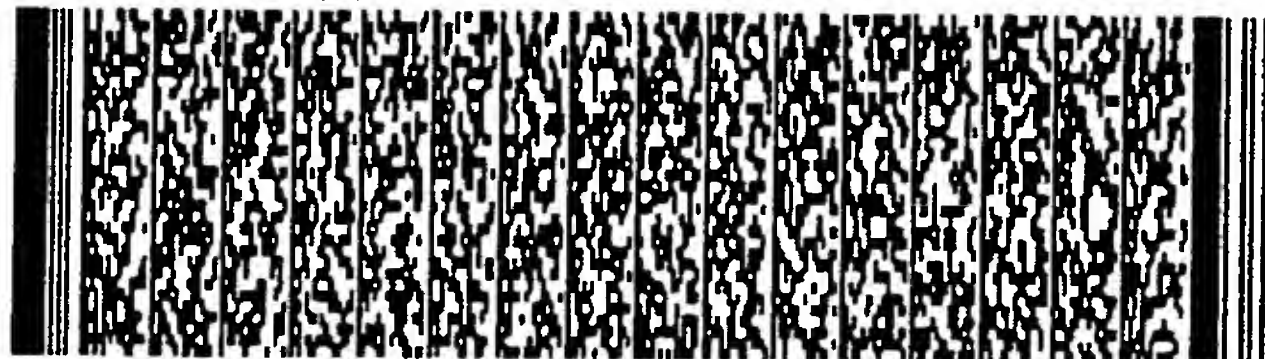
第 22/24 頁



第 22/24 頁



第 23/24 頁



第 24/24 頁

